

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Soung-Hoon Sim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: **INTEGRATED CIRCUIT MEMORY DEVICES AND METHODS OF  
PROGRAMMING THE SAME IN WHICH THE CURRENT DRAWN  
DURING A PROGRAMMING OPERATION IS INDEPENDENT OF THE  
DATA TO BE PROGRAMMED**

Date: November 21, 2003

M.S. PATENT APPLICATION

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

**SUBMITTAL OF PRIORITY DOCUMENT**

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the  
following Korean priority application:

10-2003-0000659, filed January 6, 2003.

Respectfully submitted,



D. Scott Moore

Registration No. 42,011

USPTO Customer No. 20792

Myers Bigel Sibley & Sajovec, P.A.

Post Office Box 37428

Raleigh, North Carolina 27627

Telephone: (919) 854-1400

Facsimile: (919) 854-1401

Our File No. 5649-1151

**CERTIFICATE OF EXPRESS MAILING**

"Express Mail" mailing label number EV 353594349 US

Date of Deposit: November 21, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to MAIL STOP  
PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Washington, DC 20231.



Traci A. Brown



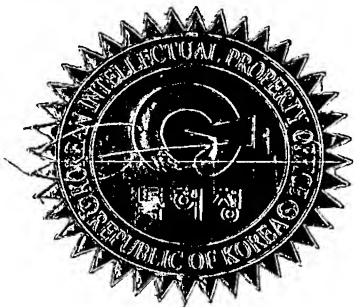
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0000659  
Application Number

출원 년 월 일 : 2003년 01월 06일  
Date of Application JAN 06, 2003

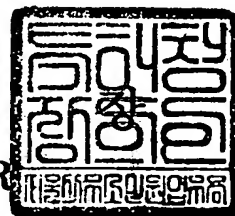
출원인 : 삼성전자주식회사  
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003      06      10  
          년      월      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.01.06
【발명의 명칭】	플래쉬 메모리 장치 및 이 장치의 프로그램 방법
【발명의 영문명칭】	Flash memory device and program method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-054081-9
【발명자】	
【성명의 국문표기】	이효상
【성명의 영문표기】	LEE, HY0 SANG
【주민등록번호】	650114-1480812
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 521동 1603호
【국적】	KR
【발명자】	
【성명의 국문표기】	김규홍
【성명의 영문표기】	KIM, GYU HONG
【주민등록번호】	680920-1454610
【우편번호】	449-913
【주소】	경기도 용인시 구성면 보정리 1161 진산마을 삼성5차아파트 511-802
【국적】	KR
【발명자】	
【성명의 국문표기】	심성훈
【성명의 영문표기】	SIM, SOUNG HOON
【주민등록번호】	701026-1155215

**【우편번호】** 403-080  
**【주소】** 인천광역시 부평구 갈산동 179-1 한국 APT 103동 104호  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박상수 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 19 면 19,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 14 항 557,000 원  
**【합계】** 605,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 플래쉬 메모리 장치 및 이 장치의 프로그램 방법을 공개한다. 이 장치는  $n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이, 및  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터들을 구비한 더미 어레이를 구비하고, 프로그램시에  $n$ 개의 입력 데이터에 응답하여 소스 라인으로부터 비트 라인들로 흐르는 바이어스 전류와 소스 라인으로부터 적어도 하나이상의 더미 비트 라인으로 흐르는 바이어스 전류를 합한 전류가 메모리 셀 어레이의  $n$ 개의 메모리 셀들이 프로그램될 때 소스 라인으로부터  $n$ 개의 비트 라인들로 흐르는 바이어스 전류와 동일하도록 하는 것을 특징으로 한다. 따라서, 입력 데이터에 무관하게 소스 라인으로부터 비트 라인으로 흐르는 전류가 동일하도록 제어함으로써 소스 라인의 전압 강하가 동일하게 된다. 이에 따라, 프로그램되는 셀의 프로그램 전압이 동일하게 된다.

## 【대표도】

도 2

**【명세서】****【발명의 명칭】**

플래쉬 메모리 장치 및 이 장치의 프로그램 방법{Flash memory device and program method thereof}

**【도면의 간단한 설명】**

도1은 종래의 스포릿 게이트 노아형 플래쉬 메모리 장치의 일예의 구성을 나타내는 블록도이다.

도2는 본 발명의 스포릿 게이트 노아형 플래쉬 메모리 장치의 일실시예의 구성을 나타내는 블록도이다.

도3은 도2에 나타낸 데이터 입력 회로의 실시예의 회로도이다.

도4는 도2에 나타낸 더미 데이터 입력 회로의 실시예의 회로도이다.

도5는 본 발명의 스포릿 게이트 노아형 플래쉬 메모리 장치의 다른 실시예의 구성을 나타내는 블록도이다.

도6은 도5에 나타낸 더미 데이터 입력 회로의 실시예의 회로도이다.

도7은 본 발명의 스포릿 게이트 노아형 플래쉬 메모리 장치의 또 다른 실시예의 구성을 나타내는 블록도이다.

도8은 도7에 나타낸 전류 가산회로의 실시예의 회로도이다.

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <9> 본 발명은 메모리 장치에 관한 것으로, 특히 프로그램, 소거, 및 리드 동작이 가능한 플래쉬 메모리 장치 및 이 장치의 프로그램 방법에 관한 것이다.
- <10> 일반적인 플래쉬 메모리 장치는 메모리 셀들이 연결되는 형태에 따라 노아(NOR)형 플래쉬 메모리 장치와 낸드(NAND)형 플래쉬 메모리 장치로 구분되어진다. 그리고, 노아형 플래쉬 메모리 장치는 메모리 셀의 구조에 따라 스택 게이트 노아형 플래쉬 메모리 장치와 스프릿 게이트 노아형 플래쉬 메모리 장치로 구분되어진다.
- <11> 종래의 스프릿 게이트 노아형 플래쉬 메모리 장치는 하나의 소스 라인에 복수개의 스프릿 게이트 메모리 셀의 소스가 공통으로 연결되어 구성되기 때문에 프로그램 동작시에 프로그램되는 메모리 셀들의 개수에 따라 소스 라인의 전압 강하가 다르게 된다. 따라서, 프로그램되는 메모리 셀들의 프로그램 전압이 달라지게 된다는 문제가 있다.
- <12> 도1은 종래의 스프릿 게이트 노아형 플래쉬 메모리 장치의 일예의 구성을 나타내는 블록도로서, 메모리 셀 어레이(10), 로우 디코더(12), 워드 라인 드라이버(14), 소스 디코더(16), 소스 라인 드라이버(18), 컬럼 디코더 & 멀티플렉서(20), 및 데이터 입력 회로(22)로 구성되어 있다.
- <13> 도1에서는  $i$ 개의 비트 라인들을 하나의 비트 라인으로 나타내었으며,  $i$ 개의 비트 라인들 각각은 동일한 구성을 가진다.

<14> 도1에서, 메모리 셀 어레이(10)는  $n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))과  $2m$ 개의 워드 라인들(WL1 ~ WL2m)과  $m$ 개의 소스 라인들(SL1 ~ SLm)사이 에 연결된  $2m \times n_i$ 개의 스프릿 게이트 메모리 셀들을 구비하여 구성되어 있다. 그리고, 상하로 이웃하는 2개씩의 메모리 셀들의 소스는 소스 라인에 공통으로 연결되고 드레인 은 동일 비트 라인에 연결되고 게이트는 각각의 해당 워드 라인에 연결되어 있다.

<15> 도1에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<16> 메모리 셀 어레이(10)는 소거시에 워드 라인들(WL1 ~ WL2m)로 고전압(VPP)이 인가되고 소스 라인들(SL1 ~ SLm) 및 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 접지전압이 인가되어 소거가 된다. 그리고, 프로그램시에 소스 라인들(SL1 ~ SLm)중 선택된 소스 라인으로 고전압(VPP)이 인가되고 선택되지 않은 소스 라인들로 접지전압이 인가되고 워드 라인들(WL1 ~ WL2m)중 선택된 워드 라인으로 소정 전압이 인가되고 선택되지 않은 워드 라인들로 접지전압이 인가되고, 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 소정 전압이 인가되면 해당 메모리 셀이 프로그램되고, 전원전압이 인가되면 해당 메모리 셀이 프로그램되지 않게 된다. 리드시에는 소스 라인들(SL1 ~ SLm)은 접지전압이 인가되고 워드 라인들(WL1 ~ WL2m)중 선택된 워드 라인으로 전원전압이 인가되고 선택되지 않은 워드 라인들로 접지전압이 인가되고, 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))중 선택된 비트라인으로 소정 전압이 인가되고, 선택되지 않은 비트라인들로 접지전압이 인가되면 해당 메모리 셀로부터 데이터가 리드된다. 스태바이시에는 소스 라인들(SL1 ~ SLm), 워드 라인들(WL1 ~ WL2m), 및 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 접지전압 레벨이 인가된다. 로우 디코더(12)는  $x$ 비트의 로우 어드레스(RA1 ~ RAx)를 디코



당하여 워드 라인 선택신호들(W1 ~ W2m)을 발생한다. 워드 라인 드라이버(14)는 워드 라인 선택신호들(W1 ~ W2m)에 응답하여 소거시에는 워드 라인들(WL1 ~ WL2m)로 고전압을 인가하고, 프로그램시에는 선택된 워드 라인으로 소정 전압을 인가하고, 선택되지 않은 워드 라인들로 접지전압을 인가하고, 리드시에는 선택된 워드 라인으로 전원전압을 인가하고, 선택되지 않은 워드 라인들로 접지전압을 인가하고, 스태바이시에는 워드 라인들(WL1 ~ WL2m)로 접지전압을 인가한다. 소스 디코더(16)는 로우 어드레스(RA1 ~ RAx)중 최하위 1비트를 제외한 로우 어드레스(RA1 ~ RA(x-1))를 디코딩하여 m개의 소스 라인 선택신호들(S1 ~ Sm)을 발생한다. 소스 라인 드라이버(18)는 m개의 소스 라인 선택신호들(S1 ~ Sm)에 응답하여 소스 라인들(SL1 ~ SLm)을 구동한다. 소거시에는 소스 라인들(SL1 ~ SLm)로 접지전압을 인가하고, 프로그램시에는 소스 라인들(SL1 ~ SLm)중 선택된 소스 라인으로 고전압을 인가하고 선택되지 않은 소스 라인들로 접지전압을 인가하고, 리드시에는 소스 라인들(SL1 ~ SLm)로 접지전압을 인가하고, 스태바이시에는 소스 라인들(SL1 ~ SLm)로 접지전압을 인가한다. 컬럼 디코더 & 멀티플렉서(20)는 y비트의 컬럼 어드레스(CA1 ~ CAy)를 디코딩하여 i개의 컬럼 선택신호들을 발생하고, n개의 데이터 입출력 라인들(I01 ~ I0n)로부터 전송되는 데이터를 i개의 컬럼 선택신호들에 응답하여 선택된 n개의 비트 라인들로 전송한다. 즉, 컬럼 디코더 & 멀티플렉서(22)는 n개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni)) 각각의 i개의 비트 라인들중 하나씩의 비트 라인을 선택하여 n개의 데이터 입출력 라인들(I01 ~ I0n)로부터 전송되는 데이터를 총 n개의 비트 라인들로 전송한다. 컬럼 디코더 &

멀티플렉서(22)는 소거시에는  $n$ 개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 접지전압을 인가하고, 프로그램시에는  $n$ 개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni)) 각각의  $i$ 개의 비트 라인들중 선택된 하나씩의 비트 라인으로 소정 전압 및/또는 전원전압을 인가하고, 리드시에는  $n$ 개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni)) 각각의  $i$ 개의 비트 라인들중 선택된 하나씩의 비트라인으로 소정 전압 및/또는 접지전압을 인가하고, 스태바이시에는  $n$ 개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 접지전압을 인가한다. 프로그램 명령시 데이터 입력 회로(22)는 입력 데이터가 "하이"레벨이면 전원전압 레벨을 해당 데이터 입출력 라인들로 전송하고, 입력 데이터가 "로우"레벨이면 바이어스 전압(VBIAS)에 응답하는 소정 전압을 해당 데이터 입출력 라인들로 전송한다.

<17> 상술한 바와 같은 기능을 수행하는 도1에 나타낸 플래쉬 메모리 장치의 소거 및 프로그램 동작을 설명하면 다음과 같다.

<18> 소거 명령이 인가되면, 워드 라인 드라이버(14)는 워드 라인들(WL1 ~ WL2m)로 고전압(VPP)을 인가하고, 소스 라인 드라이버(18)는 소스 라인들(SL1 ~ SLm)로 접지전압 레벨의 신호를 인가하고, 컬럼 디코더 & 멀티플렉서(20)는  $n$ 개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 접지전압 레벨의 신호를 인가한다. 그러면, 메모리 셀 어레이(10)내의 메모리 셀들에 대한 소거 동작이 수행된다.

<19> 프로그램 명령이 인가되고, "로우"레벨의 입력 데이터(DIN1)와 "하이"레벨의 입력 데이터(DIN2 ~ DINn)가 입력되고, "00..0"의 로우 어드레스(RA1 ~ RAx)와 컬럼 어드레스(CA1 ~ CAy)가 입력되는 경우를 가정하여 프로그램시의 동작을 설명하면 다음과 같다.

<20>      로우 디코더(12)는 로우 어드레스(RA1 ~ RAx)를 디코딩하여 워드 라인 선택신호(W1)를 인에이블한다. 소스 디코더(16)는 로우 어드레스(RA1 ~ RA(x-1))를 디코딩하여 소스 라인 선택신호(S1)를 인에이블한다. 데이터 입력 회로(22)는 "로우"레벨의 입력 데이터(DIN1)와 "하이"레벨의 입력 데이터(DIN2 ~ DINn)를 구동하여 데이터 입출력 라인들(IO1 ~ IOn)로 소정전압 또는 전원전압을 전송한다. 워드 라인 드라이버(14)는 워드 라인 선택신호(W1)에 응답하여 워드 라인(WL1)으로 소정 전압(약 1V정도의 전압)을 인가하고, 나머지 워드 라인들(WL2 ~ WL2m)로 접지전압 레벨을 인가한다. 소스 라인 드라이버(18)는 소스 라인(SL1)으로 고전압(VPP)을 인가하고, 나머지 소스 라인들(SL2 ~ SLm)로 접지전압 레벨을 인가한다. 컬럼 디코더 & 멀티플렉서(20)는 컬럼 어드레스(CA1 ~ CAy)를 디코딩하여 n개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))의 첫 번째 n개의 비트 라인들(BL11 ~ BLn1)을 선택하고 데이터 입출력 라인들(IO1 ~ IOn)의 신호에 응답하여 비트 라인(BL11)으로 소정 전압(약 0.4 ~ 0.5V의 전압)을 인가하고, 비트 라인들(BL21 ~ BLn1)로 전원전압 레벨을 인가한다. 따라서, n개의 비트 라인들(BL11 ~ BLn1)과 워드 라인(WL1)사이에 연결된 메모리 셀들이 프로그램된다. 즉, 비트 라인(BL11)과 워드 라인(WL1)사이에 연결된 메모리 셀은 소스 라인(SL1)으로부터 비트 라인(BL11)으로 전류가 흘러 프로그램되고, 비트 라인(BL11)과 워드 라인(WL1)사이에 연결된 나머지 메모리 셀들은 소스 라인(SL1)으로부터 비트 라인들(BL21 ~ BLn1)로 전류가 흐르지 않아 프로그램되지 않는다.

<21>      이와같은 동작을 수행함에 의해서 메모리 셀 어레이의 메모리 셀들을 프로그램하게 된다.

<22> 이때, 하나의 메모리 셀만 프로그램되기 때문에 소스 라인(SL1)에서 발생하는 전압 강하는 크지 않다.

<23> 반면에, 모두 "로우"레벨인 입력 데이터(DIN1 ~ DINn)가 인가되는 경우에는 소스 라인(SL1)에 연결된 n개의 메모리 셀들이 모두 프로그램되기 때문에 소스 라인(SL1)으로부터 비트 라인들(BL11, BL21, ..., BLn1)로의 전류가 흘러 소스 라인(SL1)에서의 전압 강하가 크게 된다.

<24> 즉, 도1에 나타낸 종래의 플래쉬 메모리 장치는 프로그램되는 메모리 셀들의 개수가 증가함에 따라 소스 라인에서 발생하는 전압 강하가 커지게 된다. 따라서, 소스 라인에서 발생하는 전압 강하가 달라짐에 따라 프로그램되는 메모리 셀들의 프로그램 전압이 달라지게 된다는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<25> 본 발명의 목적은 프로그램되는 메모리 셀들의 개수에 관계없이 소스 라인에서 균일한 전압 강하를 발생할 수 있는 플래쉬 메모리 장치를 제공하는데 있다.

<26> 본 발명의 다른 목적은 상기 목적을 달성하기 위한 플래쉬 메모리 장치의 프로그램 방법을 제공하는데 있다.

<27> 상기 목적을 달성하기 위한 본 발명의 플래쉬 메모리 장치는 n개 그룹들 각각이 i개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 m개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이, 및 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기 m개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트

라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터들을 구비한 더미 어레이를 구비하고, 프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 소스 라인으로부터 상기 비트 라인들로 흐르는 바이어스 전류와 상기 소스 라인으로부터 상기 적어도 하나 이상의 더미 비트 라인으로 흐르는 바이어스 전류를 합한 전류가 상기 메모리 셀 어레이의  $n$ 개의 메모리 셀들이 프로그램될 때 상기 소스 라인으로부터 상기  $n$ 개의 비트 라인들로 흐르는 바이어스 전류와 동일하도록 하는 것을 특징으로 한다.

<28>        상기 목적을 달성하기 위한 본 발명의 플래쉬 메모리 장치의 실시예는  $n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이, 프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 메모리 셀 어레이의 선택된 소스 라인으로부터 선택된 비트 라인들로 바이어스 전류를 흐르게 하는 프로그램 회로, 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나 이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터를 구비한 더미 어레이, 및 프로그램시에 상기  $n$ 개의 입력 데이터에 응답하여 상기 더미 어레이의 상기 선택된 소스 라인으로부터 상기 적어도 하나 이상의 더미 비트 라인으로 바이어스 전류를 흐르게 하는 더미 프로그램 회로를 구비하는 것을 특징으로 한다.

<29>        그리고, 상기 더미 어레이는  $n$ 개의 더미 비트 라인들 각각에 연결된 드레인과 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n \times 2m$ 개의 더미 메모리 셀들을 구비한 더미 메모리 셀 어레이인 것을 특징으로 하는 것과,  $n/y$ 개의 더미 비트 라인들 각각에 연결된 드레인과 상기  $2m$ 개의 워드 라

인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n/y \times 2m$ 개의 더미 메모리 셀들을 구비한 더미 메모리 셀 어레이인 것을 특징으로 하는 것과, 하나의 더미 비트 라인에 연결된 드레인과 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $2m$ 개의 트랜지스터들을 구비한 트랜지스터 어레이인 것을 특징으로 하는 것이 있을 수 있다.

<30>        상기 다른 목적을 달성하기 위한 본 발명의 플래쉬 메모리 장치의 프로그램 방법은  $n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이의 프로그램 방법에 있어서, 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터들을 구성하고, 프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 메모리 셀 어레이의 선택된 소스 라인으로부터  $n-x$ ( $x$ 는 0부터  $n$ 까지의 정수)개의 선택된 비트 라인들로 바이어스 전류가 흐르도록 하고, 프로그램시에 상기  $n$ 개의 입력 데이터에 응답하여 상기 선택된 소스 라인으로부터 적어도 하나의 더미 비트 라인으로 흐르는 바이어스 전류가 상기 메모리 셀 어레이의  $x$ 개의 메모리 셀들이 프로그램될 때 상기 선택된 소스 라인으로부터 상기  $x$ 개의 선택된 비트 라인들로 흐르는 바이어스 전류와 동일하게 흐르도록 하는 것을 특징으로 한다.

#### 【발명의 구성 및 작용】

<31>        이하, 첨부한 도면을 참고로 하여 본 발명의 플래쉬 메모리 장치 및 이 장치의 프로그램 방법을 설명하면 다음과 같다.

- <32> 도2는 본 발명의 스프릿 게이트 노아형 플래쉬 메모리 장치의 일실시예의 구성을 나타내는 블록도로서, 도1에 나타낸 블록도에 더미 메모리 셀 어레이(30), 및 더미 데이터 입력 회로(32)를 추가하여 구성되어 있다.
- <33> 도2에서, 더미 메모리 셀 어레이(30)는 n개의 더미 비트 라인들(DBL1 ~ DBLn)과 2m개의 워드 라인들(WL1 ~ WL2m)과 m개의 소스 라인들(SL1 ~ SLm)사이에 연결된 2m × n개의 스프릿 게이트 더미 메모리 셀들을 구비하여 구성되어 있다. 그리고, 상하로 이웃하는 2개씩의 메모리 셀들의 소스는 소스 라인에 공통으로 연결되고 드레인선 동일 비트 라인에 연결되고 게이트는 각각의 해당 워드 라인에 연결되어 있다.
- <34> 도2에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.
- <35> 도2에 나타낸 블록들중 도1에 나타낸 블록들과 동일한 블록들의 기능은 도1의 블록들의 기능 설명을 참고로 하기 바라며, 여기에서는 추가되는 블록들의 기능에 대해서만 설명하기로 한다.
- <36> 더미 메모리 셀 어레이(30)는 소거, 프로그램; 및 스태바이시에 소스 라인들(SL1 ~ SLm)과 워드 라인들(WL1 ~ WL2m)로 메모리 셀 어레이(10)로 인가되는 전압과 동일한 레벨의 전압이 인가된다. 그리고, 소거, 리드 및 스태바이시에는 더미 비트 라인들(DBL1 ~ DBLn)로 접지전압 레벨의 전압이 인가되고, 프로그램시에는 더미 비트 라인들(DBL1 ~ DBLn)로 소정 전압이 인가되면 해당 메모리 셀이 프로그램되고, 전원전압이 인가되면 해당 메모리 셀이 프로그램되지 않게 된다. 더미 데이터 입력 회로(32)는 소거, 리드 및 스태바이시에는 더미 비트 라인들(DBL1 ~ DBLn)로 접지전압 레벨의 전압을 인가하고, 프로그램시에는 입력 데이터(DIN1 ~ DINn)를 반전하여 입력 데이터가 "로우"레벨이면 전원 전압 레벨을 해당 더미 비트 라인으로 인가하여 해당 소스 라인으로부터 해당 더미 비트

라인으로 전류가 흐르지 않게 하고, 입력 데이터가 "하이"레벨이면 바이어스 전압 (VBIAS)에 응답하는 소정 전압을 해당 더미 비트 라인으로 인가하여 해당 소스 라인으로 부터 해당 더미 비트 라인으로 바이어스 전류가 흐르게 한다. 따라서, 더미 비트 라인들(DBL1 ~ DBLn)로 인가되는 전압은 n개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))로 인가되는 전압과 상보적인 레벨이 된다. 즉, 비트 라인들(BL11 ~ BL1i)중 선택된 하나의 비트 라인으로 인가되는 전압이 소정 전압이면 더미 비트 라인(DBL1)으로 인가되는 전압은 전원전압 레벨이 된다.

<37> 상술한 바와 같은 기능을 수행하는 도2에 나타낸 플래쉬 메모리 장치의 소거 및 프로그램 동작을 설명하면 다음과 같다.

<38> 소거 명령이 인가되면, 워드 라인 드라이버(14)는 워드 라인들(WL1 ~ WL2m)로 고전압(VPP)을 인가하고, 소스 라인 드라이버(18)는 소스 라인들(SL1 ~ SLm)로 접지전압 레벨의 신호를 인가하고, 컬럼 디코더 & 멀티플렉서(20)와 더미 데이터 입력 회로(32)는 n개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))과 더미 비트 라인들(DBL1 ~ DBLn)로 접지전압 레벨의 신호를 인가한다. 그러면, 메모리 셀 어레이(10)내의 메모리 셀들 및 더미 메모리 셀 어레이(30)내의 더미 메모리 셀들에 대한 소거 동작이 수행된다

<39> 프로그램 명령이 인가되고, "로우"레벨의 입력 데이터(DIN1)와 "하이"레벨의 입력 데이터(DIN2 ~ DINn)가 입력되고, "00..0"의 로우 어드레스(RA1 ~ RAx)와 컬럼 어드레스(CA1 ~ CAy)가 입력되는 경우를 가정하여 프로그램시의 동작을 설명하면 다음과 같다.

<40> 로우 디코더(12)는 로우 어드레스(RA1 ~ RAx)를 디코딩하여 워드 라인 선택신호(W1)를 인에이블한다. 소스 디코더(16)는 로우 어드레스(RA1 ~ RA(x-1))를 디코딩하여



소스 라인 선택신호(S1)를 인에이블한다. 데이터 입력 회로(22)는 "로우"레벨의 입력 데이터(DIN1)와 "하이"레벨의 입력 데이터(DIN2 ~ DINn)를 구동하여 데이터 입출력 라인들(I01 ~ I0n)로 소정전압 또는 전원전압을 전송한다. 워드 라인 드라이버(14)는 워드 라인 선택신호(W1)에 응답하여 워드 라인(WL1)으로 소정 전압(약 1V정도의 전압)을 인가하고, 나머지 워드 라인들(WL2 ~ WL2m)로 접지전압 레벨을 인가한다. 소스 라인 드라이버(18)는 소스 라인(SL1)으로 고전압(VPP)을 인가하고, 나머지 소스 라인들(SL2 ~ SLm)로 접지전압 레벨을 인가한다. 컬럼 디코더 & 멀티플렉서(20)는 컬럼 어드레스(CA1 ~ CAy)를 디코딩하여 n개 그룹의 비트 라인들((BL11 ~ BL1i) ~ (BLn1 ~ BLni))의 첫 번째 n개의 비트 라인들(BL11 ~ BLn1)을 선택하고 데이터 입출력 라인들(I01 ~ I0n)의 신호에 응답하여 비트 라인(BL11)으로 소정 전압(약 0.4 ~ 0.5V의 전압)을 인가하고, 비트 라인들(BL21 ~ BLn1)로 전원전압 레벨을 인가한다. 따라서, 비트 라인(BL11)과 워드 라인(WL1)사이에 연결된 메모리 셀은 소스 라인(SL1)으로부터 비트 라인(BL11)으로 전류가 흘러 프로그램되고, 비트 라인(BL11)과 워드 라인(WL1)사이에 연결된 나머지 메모리 셀들은 소스 라인(SL1)으로부터 비트 라인들(BL21 ~ BLn1)로 전류가 흐르지 않아 프로그램되지 않는다. 더미 데이터 입력 회로(32)는 입력 데이터(DIN1 ~ DINn)를 반전하여 더미 비트 라인들(DBL1 ~ DBLn)로 전송한다. 즉, 더미 비트 라인(DBL1)으로 전원전압 레벨을 인가하고, 더미 비트 라인들(DBL2 ~ DBLn)로 소정 전압(약 0.4 ~ 0.5V)을 인가한다. 따라서, 더미 비트 라인(DBL1)과 워드 라인(WL1)사이에 연결된 더미 메모리 셀은 소스 라인(SL1)으로부터 더미 비트 라인(DBL1)으로 전류가 흐르지 않아 프로그램되지 않고, 더미 비트 라인들(DBL2 ~ DBLn)과 워드 라인(WL1)사이에 연결된 더미 메모리 셀들은 소스 라인(SL1)으로부터 더미 비트 라인들(DBL2 ~ DBLn)로 바이어스 전류가 흘러 프로그램된

다. 이때, 하나의 소스 라인으로부터 하나의 비트 라인으로 흐르는 전류와 하나의 소스 라인으로부터 하나의 더미 비트 라인으로 흐르는 전류는 동일하다. 스포릿 게이트 노아형 플래쉬 메모리 셀은 그 특성상 부유 게이트에 소스전압이 70% ~ 80%정도 유지되므로 셀이 프로그램되었을 지라도, 프로그램 전류는 차단되지 않고 지속적으로 흐를 수 있다. 따라서 더미 메모리 셀이 프로그램되었더라도, 더미 비트라인에 소정전압을 인가하게 되면 더미 메모리 셀의 소스에서 드레인 방향으로 전류가 흐르게 된다.

<41> 도2에 나타낸 본 발명의 플래쉬 메모리 장치는 하나의 공통 소스 라인과 공통 워드 라인에 연결되는 메모리 셀 어레이(10)내의 메모리 셀의 개수가  $n_i$ 개이고, 더미 메모리 셀 어레이(30)내의 더미 메모리 셀의 개수가  $n$ 개인 경우에, 메모리 셀 어레이(10)내의 프로그램되는 메모리 셀들의 개수와 더미 메모리 셀 어레이(30)내의 프로그램되는 더미 메모리 셀의 개수를 합한 개수가 총  $n$ 개가 되도록 동작한다.

<42> 즉, 메모리 셀 어레이(10)내의 프로그램되는 메모리 셀의 갯수가 1개인 경우에 더미 메모리 셀 어레이(30)내의 프로그램되는 더미 메모리 셀들의 개수가  $(n-1)$ 개 되고, 메모리 셀 어레이(10)내의 프로그램되는 메모리 셀들의 개수가  $n-2$ 개인 경우에는 더미 메모리 셀 어레이(30)내의 프로그램되는 더미 메모리 셀들의 개수가 2개가 된다.

<43> 따라서, 본 발명의 플래쉬 메모리 장치는 프로그램시에 입력 데이터에 무관하게 프로그램되는 메모리 셀들의 개수가 동일하여 소스 라인으로부터 비트 라인으로 흐르는 전류가 동일하게 된다. 이에 따라, 소스 라인에서 발생하는 전압 강하가 동일하게 되고, 프로그램되는 메모리 셀들의 전압이 동일하게 된다.

<44> 도3은 도2에 나타낸 데이터 입력 회로의 실시예의 회로도로서, 인버터(INV1), PMOS 트랜지스터(P1), 및 NMOS트랜지스터들(N1, N2)로 구성되어 있다.

- <45> 도3에 나타낸 데이터 입력 회로는 하나의 입력 데이터(DIN)를 입력하여 하나의 신호(din)를 발생하는 회로 구성을 나타낸 것이며, 실제적으로는 n개로 구성된다.
- <46> 도3에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <47> 프로그램시에 바이어스 전압(VBIAS)이 인가되면 NMOS트랜지스터(N2)가 온된다.
- <48> 입력 데이터(DIN)가 "하이"레벨이면, 인버터(INV1)는 "하이"레벨의 신호를 반전하여 "로우"레벨의 신호를 발생한다. 그러면, PMOS트랜지스터(P1)가 온되어 전원전압 레벨의 신호(din)를 발생한다.
- <49> 반면에, 입력 데이터(DIN)가 "로우"레벨이면, 인버터(INV1)는 "로우"레벨의 신호를 반전하여 "하이"레벨의 신호를 발생한다. 그러면, NMOS트랜지스터(P1)가 온되어 소정 전압의 신호(din)를 발생한다. 이에 따라, 소스 라인으로부터 비트 라인으로 바이어스 전류가 흐르게 된다.
- <50> 즉, 데이터 입력 회로는 프로그램시에 입력 데이터(DIN)가 "하이"레벨이면 전원전압 레벨의 신호(din)를 발생하고, 입력 데이터(DIN)가 "로우"레벨이면 소정 전압의 신호(din)를 발생한다.
- <51> 도4는 도2에 나타낸 더미 데이터 입력 회로의 실시예의 회로도로서, PMOS트랜지스터(P2), 및 NMOS트랜지스터들(N3 ~ N5)로 구성되어 있다.
- <52> 도4에 나타낸 더미 데이터 입력 회로는 하나의 입력 데이터(DIN)를 입력하여 하나의 신호(din)를 발생하는 회로 구성을 나타낸 것이며, 실제적으로는 n개로 구성된다.
- <53> 도4에 나타낸 회로의 동작을 설명하면 다음과 같다.

- <54> 소거, 리드 및 스탠바이시에 "하이"레벨의 제어신호(CON)가 인가되면 NMOS트랜지스터(N5)가 온되어 접지전압 레벨의 신호(ddin)를 발생한다.
- <55> 그리고, 프로그램시에 바이어스 전압(VBIAS)이 인가되면 NMOS트랜지스터(N4)가 온된다.
- <56> 입력 데이터(DIN)가 "하이"레벨이면, NMOS트랜지스터(N3)가 온되어 소정 전압의 신호(ddin)를 발생한다. 이에 따라, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 된다. 이때, 흐르는 바이어스 전류는 소스 라인으로부터 비트 라인으로 흐르는 바이어스 전류와 동일한 크기의 전류가 된다.
- <57> 반면에, 입력 데이터(DIN)가 "로우"레벨이면, PMOS트랜지스터(P2)가 온되어 전원전압 레벨의 신호(ddin)를 발생한다.
- <58> 즉, 더미 데이터 입력 회로는 프로그램시에 입력 데이터(DIN)가 "하이"레벨이면 소정 전압의 신호(din)를 발생하고, 입력 데이터(DIN)가 "로우"레벨이면 전원전압 레벨의 신호(din)를 발생한다.
- <59> 상술한 바와 같이 데이터 입력 회로와 더미 데이터 입력 회로는 입력 데이터(DIN)를 입력하여 서로 다른 상태의 신호를 발생한다.
- <60> 따라서, 본 발명의 실시예의 플래쉬 메모리 장치는 메모리 셀 어레이의 워드 라인 및 소스 라인과 동일한 수의 워드 라인 및 소스 라인과 데이터 입출력 라인의 개수만큼의 더미 비트 라인사이에 더미 메모리 셀들을 구비한 더미 메모리 셀 어레이를 추가적으로 구비하여 구성되어 있다. 그래서, 프로그램시에 메모리 셀 어레이에 프로그램되는 메모리 셀들의 개수와 더미 메모리 셀 어레이에 프로그램되는 더미 메모리 셀들의 개수를

합한 개수, 즉, 하나의 소스 라인에 연결되어 프로그램되는 셀들의 개수가 입력 데이터에 상관없이 항상 데이터 입출력 라인의 개수가 되도록 함으로써 소스 라인으로부터 비트 라인 및 더미 비트 라인으로 흐르는 전류가 항상 동일하게 된다. 따라서, 소스 라인에서 발생하는 전압 강하가 동일하게 되어 프로그램되는 메모리 셀들의 프로그램 전압이 동일하게 된다.

<61> 그런데, 도2에 나타낸 실시예의 플래쉬 메모리 장치는 데이터 입출력 라인들의 개수가 증가하게 되면 더미 메모리 셀 어레이내의 더미 메모리 셀들의 개수가 증가하게 됨으로써 레이아웃 면적이 증가된다는 단점이 있다.

<62> 도5는 본 발명의 스프릿 게이트 노아형 플래쉬 메모리 장치의 다른 실시예의 구성을 나타내는 블록도로서, 도1에 나타낸 블록도에 더미 메모리 셀 어레이(40) 및 더미 데이터 입력 회로(42)를 추가하여 구성되어 있다.

<63> 도5에서, 더미 메모리 셀 어레이(40)는  $n/3$ 개의 더미 비트 라인들(DBL1 ~ DBLn/3)과  $2m$ 개의 워드 라인들(WL1 ~ WL2m)과  $m$ 개의 소스 라인들(SL1 ~ SLm)사이에 연결된  $2m \times n/3$ 개의 스프릿 게이트 더미 메모리 셀들을 구비하여 구성되어 있다. 그리고, 상하로 이웃하는 2개씩의 메모리 셀들의 소스는 소스 라인에 공통으로 연결되고 드레인선은 동일 비트 라인에 연결되고 게이트는 각각의 해당 워드 라인에 연결되어 있다.

<64> 도5에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.

<65> 도5에 나타낸 블록들중 도2에 나타낸 블록들과 동일한 블록들의 기능은 도1의 블록들의 기능 설명을 참고로 하기 바라며, 여기에서는 추가되는 블록들의 기능에 대해서만 설명하기로 한다.

- <66>        더미 메모리 셀 어레이(40)는 도2에 나타난 더미 메모리 셀 어레이(30)와 동일한 동작을 수행한다. 더미 데이터 입력 회로(42)는 소거, 리드 및 스탠바이시에 더미 비트 라인들(DBL1 ~ DBLn/3)로 접지전압 레벨의 전압을 인가하고, 프로그램시에는 3개씩의 입력 데이터((DIN1 ~ 3), (DIN4 ~ 6), ..., (DIN(n-2) ~ DINn))를 반전하여 3개의 입력 데이터가 모두 "로우"레벨이면 전원전압 레벨을 해당 더미 비트 라인으로 인가하고, 3개의 입력 데이터중 적어도 하나의 입력 데이터가 "하이"레벨이면 소정 전압을 해당 더미 비트 라인으로 인가한다. 이때, 3개의 입력 데이터중 "하이"레벨인 입력 데이터의 수에 따라 해당 더미 비트 라인으로 흐르는 전류는 달라지게 된다.
- <67>        도6은 도5에 나타난 더미 데이터 입력 회로의 실시예의 회로도로서, OR게이트(OR), PMOS트랜지스터(P3), 및 NMOS트랜지스터들(N6 ~ N12)로 구성되어 있다.
- <68>        도6에 나타난 데이터 입력 회로는 3개의 입력 데이터(DIN1 ~ DINn)를 입력하여 하나의 신호(ddin1)를 발생하는 회로 구성을 나타낸 것이며, 실제적으로는 n/3개로 구성된다.
- <69>        도6에 나타난 회로의 동작을 설명하면 다음과 같다.
- <70>        소거, 리드, 및 스탠바이시에 "하이"레벨의 제어신호(CON)가 인가되면 NMOS트랜지스터(N12)가 온되어 접지전압 레벨의 신호(ddin1)를 발생한다.
- <71>        그리고, 프로그램시에 바이어스 전압(VBIAS)이 인가되면 NMOS트랜지스터들(N7, N9, N11)이 온된다.

- <72>        입력 데이터(DIN1 ~ DIN3)가 모두 "로우"레벨이면, OR게이트(OR)가 "로우"레벨의 신호를 발생한다. 이에 따라, PMOS트랜지스터(P3)가 온되어 전원전압 레벨의 신호(ddin1)를 발생한다.
- <73>        입력 데이터(DIN1 ~ DIN3) 각각이 "하이"레벨, "로우"레벨, "로우"레벨이면, OR게이트(OR)가 "하이"레벨의 신호를 발생한다. 이에 따라, NMOS트랜지스터(N6)가 온되고, PMOS트랜지스터(P3)가 오프되어 소정 전압의 신호(ddin1)를 발생한다. 그러면, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 된다. 이때 흐르는 바이어스 전류는 소스 라인으로부터 하나의 비트 라인으로 흐르는 바이어스 전류와 크기가 동일하다.
- <74>        입력 데이터(DIN1 ~ DIN3) 각각이 "하이"레벨, "하이"레벨, "로우"레벨이면, OR게이트(OR)가 "하이"레벨의 신호를 발생한다. 이에 따라, NMOS트랜지스터들(N6, N8)이 온되고, PMOS트랜지스터(P3)가 오프되어 소정 전압의 신호(ddin1)를 발생한다. 그러면, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 되고, 이때 흐르는 바이어스 전류는 소스 라인으로부터 2개의 비트 라인들로 흐르는 바이어스 전류와 크기가 동일하다.
- <75>        입력 데이터(DIN1 ~ DIN3)가 모두 "하이"레벨이면, OR게이트(OR)가 "하이"레벨의 신호를 발생한다. 이에 따라, NMOS트랜지스터들(N6, N8, N10)이 모두 온되고, PMOS트랜지스터(P3)가 오프되어 소정 전압의 신호(ddin1)를 발생한다. 그러면, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 되고, 이때 흐르는 바이어스 전류는 소스 라인으로부터 3개의 비트 라인들로 흐르는 바이어스 전류와 크기가 동일하다.

- <76> 도6에 나타낸 더미 데이터 입력 회로는 3개씩의 입력 데이터에 따라 하나의 더미 비트 라인을 통하여 흐르는 전류의 크기를 조절하는 것이다.
- <77> 따라서, 도5에 나타낸 본 발명의 다른 실시예의 플래쉬 메모리 장치는 데이터 입출력 라인의 수가 많아지더라도 데이터 입출력 라인의 수만큼의 더미 비트 라인들을 구비하지 않아도 되기 때문에 더미 메모리 셀 어레이의 레이아웃 면적 증가로 인한 레이아웃 면적 증가를 줄일 수 있다.
- <78> 상술한 실시예에서는 3개씩의 입력 데이터에 따라 하나의 더미 비트 라인을 통하여 흐르는 전류의 크기를 조절하는 것을 나타내었으나, 2개 또는 4개이상씩의 입력 데이터에 따라 하나의 더미 비트 라인을 통하여 흐르는 전류를 조절하도록 구성하는 것도 가능하다.
- <79> 도7은 본 발명의 스프릿 게이트 노아형 플래쉬 메모리 장치의 또 다른 실시예의 구성을 나타내는 블록도로서, 도1에 나타낸 블록도에 NMOS트랜지스터 어레이(50), 및 전류가산회로(52)를 추가하여 구성되어 있다.
- <80> 도7에서, NMOS트랜지스터 어레이(50)는 더미 비트 라인(DBL)과 2m개의 워드 라인들(WL1 ~ WL2m)과 m개의 소스 라인들(SL1 ~ SLm)사이에 연결된 2m개의 NMOS트랜지스터들을 구비하여 구성되어 있다. 그리고, 상하로 이웃하는 2개씩의 NMOS트랜지스터들의 소스는 소스 라인에 공통으로 연결되고 드레인온 더미 비트 라인에 연결되고 게이트는 각각의 해당 워드 라인에 연결되어 있다. NMOS트랜지스터 어레이의 NMOS트랜지스터들은 게이트 옥사이드 두께가 두껍게 설계되어 고전압에 견딜 수 있다.
- <81> 도7에 나타낸 블록들 각각의 기능을 설명하면 다음과 같다.



- <82> 도7에 나타낸 블록들중 도1에 나타낸 블록들과 동일한 블록들의 기능은 도1의 블록들의 기능과 동일하다.
- <83> NMOS트랜지스터 어레이(50)는 소거, 프로그램, 및 스탠바이시에 소스 라인들(SL1 ~ SLm)과 워드 라인들(WL1 ~ WL2m)로 메모리 셀 어레이(10)로 인가되는 전압과 동일한 레벨의 전압이 인가된다. 그리고, 소거, 리드 및 스탠바이시에는 더미 비트 라인(DBL)으로 접지전압 레벨의 전압이 인가되고, 프로그램시에는 더미 비트 라인(DBL)으로 소정 전압 또는 전원전압이 인가된다. 전류 가산회로(52)는 입력 데이터(DIN1 ~ DINn)에 응답하여 더미 비트 라인(DBL)으로 흐르는 전류를 제어한다. 즉, 메모리 셀 어레이(10)의 하나의 소스 라인에 연결된 n개의 메모리 셀들이 동시에 프로그램될 때의 전류를 nI라 하고, 메모리 셀 어레이(10)의 1개의 메모리 셀이 프로그램되어 하나의 소스 라인으로부터 비트 라인으로 흐르는 전류가 I라고 하면, 전류 가산회로(52)는 입력 데이터(DIN1 ~ DINn)에 응답하여 하나의 소스 라인으로부터 더미 비트 라인(DBL1)으로 흐르는 전류가 (n-1)I가 되도록 제어한다.
- <84> 도8은 도7에 나타낸 전류 가산회로의 실시예의 회로도로서, PMOS트랜지스터(P6), NMOS트랜지스터들(N13-1 ~ N13-n, N14-1 ~ N14-n, N15), 및 논리합 회로(60)로 구성되어 있다.
- <85> 도8에 나타낸 회로의 동작을 설명하면 다음과 같다.
- <86> 소거, 리드 및 스탠바이시에 "하이"레벨의 제어신호(CON)가 발생되면 NMOS트랜지스터(N15)가 온되어 접지전압 레벨의 신호(out)를 발생한다.

- <87> 그리고, 프로그램시에 바이어스 전압(VBIAS)이 인가되면 NMOS트랜지스터들(N14-1 ~ N14-n)이 온된다.
- <88> 입력 데이터(DIN1 ~ DINn)가 모두 "로우"레벨이면, 논리합 회로(60)는 "로우"레벨의 신호를 발생한다. PMOS트랜지스터(P6)는 "로우"레벨의 신호에 응답하여 온되어 전원 전압 레벨의 신호(out)를 발생한다.
- <89> 입력 데이터(DIN1)가 "하이"레벨이고, 나머지 입력 데이터(DIN2 ~ DINn)가 모두 "로우"레벨이면, 논리합 회로(60)는 "하이"레벨의 신호를 발생하고, 이에 따라 PMOS트랜지스터(P6)는 오프된다. 그리고, NMOS트랜지스터(N13-1)가 온되고 NMOS트랜지스터들(N13-2 ~ N13-n)이 오프되어 소정 전압의 신호(out)를 발생한다. 이에 따라, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 된다. 만일 소스 라인으로부터 하나의 비트 라인으로 흐르는 바이어스 전류를 I라고 할 때, 이때 소스 라인으로부터 더미 비트 라인으로 흐르는 바이어스 전류는 I가 된다.
- <90> 입력 데이터(DIN1 ~ DIN(n-1))가 "하이"레벨이고, 입력 데이터(DINn)가 "로우"레벨이면, 논리합 회로(60)는 "하이"레벨의 신호를 발생하고, PMOS트랜지스터(P6)는 오프된다. 그리고, NMOS트랜지스터들(N13-1 ~ N13-(n-1))이 온되고 NMOS트랜지스터(N13-n)이 오프되어 소정 전압의 신호(out)를 발생한다. 이에 따라, 소스 라인으로부터 더미 비트 라인으로 바이어스 전류가 흐르게 된다. 만일 소스 라인으로부터 하나의 비트 라인으로 흐르는 바이어스 전류를 I라고 할 때, 이때 소스 라인으로부터 더미 비트 라인으로 흐르는 바이어스 전류는 (n-1)I가 된다.

- <91> 만일 소스 라인으로부터 하나의 비트 라인으로 흐르는 바이어스 전류가 I라고 할 때, 입력 데이터(DIN1 ~ DINn)가 모두 "하이"레벨이면, 소스 라인으로부터 더미 비트 라인으로 흐르는 바이어스 전류는 nI가 된다.
- <92> 도7에 나타낸 본 발명의 또 다른 실시예의 플래쉬 메모리 장치는 하나의 더미 비트 라인에 연결된 NMOS트랜지스터 어레이 및 전류 가산회로를 이용하여 프로그램시에 메모리 셀 어레이의 하나의 소스 라인으로부터 비트 라인 및 더미 비트 라인으로 흐르는 전류가 입력 데이터에 무관하게 동일하도록 제어함으로써 소스 라인의 전압 강하가 동일하게 된다. 이에 따라, 프로그램되는 메모리 셀의 프로그램 전압이 동일하게 된다.
- <93> 특히, 도7에 나타낸 본 발명의 플래쉬 메모리 장치는 하나의 더미 비트 라인에 연결된 NMOS트랜지스터 어레이를 사용함으로써 도2 및 도5에 나타낸 플래쉬 메모리 장치에 비해서 레이아웃 면적 증가를 줄일 수 있다.
- <94> 상술한 실시예에서는 스프릿 게이트 노아형 플래쉬 메모리 장치를 이용하여 설명하였지만, 메모리 셀들이 스프릿 게이트 플래쉬 메모리 셀들이 아닌 경우에도 본 발명의 프로그램 방법이 적용될 수 있다.
- <95> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

**【발명의 효과】**

<96> 따라서, 본 발명의 플래쉬 메모리 장치 및 이 장치의 프로그램 방법은 입력 데이터에 무관하게 소스 라인으로부터 비트 라인으로 흐르는 전류가 동일하도록 제어함으로써 소스 라인의 전압 강하가 동일하게 된다. 이에 따라, 프로그램되는 셀의 프로그램 전압이 동일하게 된다.

## 【특허청구범위】

## 【청구항 1】

$n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이; 및

상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터들을 구비한 더미 어레이를 구비하고,

프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 소스 라인으로부터 상기 비트 라인들로 흐르는 바이어스 전류와 상기 소스 라인으로부터 상기 적어도 하나이상의 더미 비트 라인으로 흐르는 바이어스 전류를 합한 전류가 상기 메모리 셀 어레이의  $n$ 개의 메모리 셀들이 프로그램될 때 상기 소스 라인으로부터 상기  $n$ 개의 비트 라인들로 흐르는 바이어스 전류와 동일하도록 하는 것을 특징으로 하는 플래쉬 메모리 장치.

## 【청구항 2】

$n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이;

프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 메모리 셀 어레이의 선택된 소스 라인으로부터 선택된 비트 라인들로 바이어스 전류를 흐르게 하는 프로그램 회로;

상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터를 구비한 더미 어레이; 및

프로그램시에 상기  $n$ 개의 입력 데이터에 응답하여 상기 더미 어레이의 상기 선택된 소스 라인으로부터 상기 적어도 하나이상의 더미 비트 라인으로 바이어스 전류를 흐르게 하는 더미 프로그램 회로를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

### 【청구항 3】

제2항에 있어서, 상기 플래쉬 메모리 장치는

프로그램시에 상기 선택된 소스 라인으로부터 상기 선택된 비트 라인들로 흐르는 바이어스 전류와 상기 선택된 소스 라인으로부터 상기 적어도 하나이상의 더미 비트 라인으로 흐르는 바이어스 전류를 합한 전류가 상기 메모리 셀 어레이의  $n$ 개의 메모리 셀들이 프로그램될 때 상기 선택된 소스 라인으로부터 상기  $n$ 개의 비트 라인들로 흐르는 바이어스 전류와 동일한 것을 특징으로 하는 플래쉬 메모리 장치.

### 【청구항 4】

제2항에 있어서, 상기  $n_i \times 2m$ 개의 메모리 셀들 각각은

스프릿 게이트 플래쉬 메모리 셀인 것을 특징으로 하는 플래쉬 메모리 장치.

### 【청구항 5】

제2항에 있어서, 상기 더미 어레이는

$n$ 개의 더미 비트 라인들 각각에 연결된 드레인과 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n \times m$ 개의 더미 메모리 셀들을 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

#### 【청구항 6】

제5항에 있어서, 상기  $n \times m$ 개의 더미 메모리 셀들 각각은

스프릿 게이트 플래쉬 메모리 셀인 것을 특징으로 하는 플래쉬 메모리 장치.

#### 【청구항 7】

제5항에 있어서, 상기 더미 프로그램 회로는

상기  $n$ 개의 입력 데이터에 응답하여 상기  $n$ 개의 더미 비트 라인들 각각으로 데이터를 입력하는  $n$ 개의 데이터 입력 회로들 각각을 구비하고,

상기  $n$ 개의 데이터 입력 회로들 각각은

전원전압이 인가되는 소스와 상기 입력 데이터가 인가되는 게이트와 상기 더미 비트 라인에 연결된 드레인을 가진 제1풀업 트랜지스터;

상기 더미 비트 라인에 연결된 드레인과 상기 입력 데이터가 인가되는 게이트를 가진 제1풀다운 트랜지스터;

상기 제1풀다운 트랜지스터의 소스에 연결된 드레인과 접지전압이 인가되는 소스를 가지고 프로그램시에 발생하는 바이어스 전압에 응답하여 상기 바이어스 전류를 흐르게 하는 바이어스 전류 발생 트랜지스터; 및

소거, 리드, 및 스탠바이시에 발생하는 제어신호에 응답하여 상기 더미 비트 라인을 접지전압 레벨로 리셋하는 리셋 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 8】

제2항에 있어서, 상기 더미 어레이는

$n/y$ 개의 더미 비트 라인들 각각에 연결된 드레인과 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n/y \times 2m$ 개의 더미 메모리 셀들을 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 9】

제8항에 있어서, 상기  $n/y \times 2m$ 개의 더미 메모리 셀들 각각은

스프릿 게이트 플래쉬 메모리 셀인 것을 특징으로 하는 플래쉬 메모리 장치.

【청구항 10】

제8항에 있어서, 상기 더미 프로그램 회로는

상기  $n$ 개의 입력 데이터의 소정 개수씩의 입력 데이터에 응답하여 상기  $n/y$ 개의 더미 비트 라인들 각각으로 데이터를 입력하는  $n/y$ 개 그룹의 데이터 입력 회로들을 구비하고,

상기  $n/y$ 개 그룹의 데이터 입력 회로들 각각은

상기 소정 개수의 입력 데이터를 논리합하는 논리합 게이트;

전원전압이 인가되는 소스와 상기 논리합 게이트의 출력신호가 인가되는 게이트와 상기 더미 비트 라인에 연결된 드레인을 가진 제1풀업 트랜지스터;



상기 더미 비트 라인에 연결된 드레인과 상기 소정 개수의 입력 데이터가 각각 인가되는 게이트를 가진 소정 개수의 제1풀다운 트랜지스터들;

상기 소정 개수의 제1풀다운 트랜지스터들 각각의 소스에 연결된 드레인과 접지전압이 인가되는 소스를 가지고 프로그램시에 발생하는 바이어스 전압에 응답하여 상기 바이어스 전류를 흐르게 하는 소정 개수의 바이어스 전류 발생 트랜지스터들; 및

소거, 리드, 및 스태바이시에 발생하는 제어신호에 응답하여 상기 더미 비트 라인을 접지전압 레벨로 리셋하는 리셋 트랜지스터를 구비하는 것을 특징으로 하는 플래시 메모리 장치.

#### 【청구항 11】

제2항에 있어서, 상기 더미 어레이는

하나의 더미 비트 라인에 연결된 드레인과 상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $2m$ 개의 트랜지스터들을 구비하는 것을 특징으로 하는 플래시 메모리 장치.

#### 【청구항 12】

제11항에 있어서, 상기  $2m$ 개의 트랜지스터들 각각은

NMOS 트랜지스터들이고,

상기 NMOS트랜지스터들 각각의 게이트 옥사이드 두께가 두꺼운 것을 특징으로 하는 플래시 메모리 장치.

#### 【청구항 13】

제11항에 있어서, 상기 더미 프로그램 회로는

상기 더미 비트 라인에 연결된 소스와 상기  $n$ 개의 입력 데이터를 조합한 신호가 인가되는 게이트를 가진 풀업 트랜지스터;

상기 풀업 트랜지스터의 드레인에 연결된 드레인과 상기  $n$ 개의 입력 데이터가 각각 인가되는 게이트를 가진  $n$ 개의 풀다운 트랜지스터들;

상기  $n$ 개의 풀다운 트랜지스터들 각각의 소스에 연결된 드레인과 프로그램시에 발생하는 바이어스 전압이 인가되는 게이트와 접지전압이 인가되는 소스를 가진  $n$ 개의 바이어스 전류 발생 트랜지스터; 및

소거, 리드, 및 스탠바이시에 발생하는 제어신호에 응답하여 상기 더미 비트 라인을 접지전압 레벨로 리셋하는 리셋 트랜지스터를 구비하는 것을 특징으로 하는 플래쉬 메모리 장치.

#### 【청구항 14】

$n$ 개 그룹들 각각이  $i$ 개의 비트 라인들로 이루어진  $n_i$ 개의 비트 라인들 각각에 연결된 드레인과  $2m$ 개의 워드 라인들 각각에 연결된 게이트와  $m$ 개의 소스 라인들 각각에 연결된 소스를 가진  $n_i \times 2m$ 개의 메모리 셀들을 구비한 메모리 셀 어레이의 프로그램 방법에 있어서,

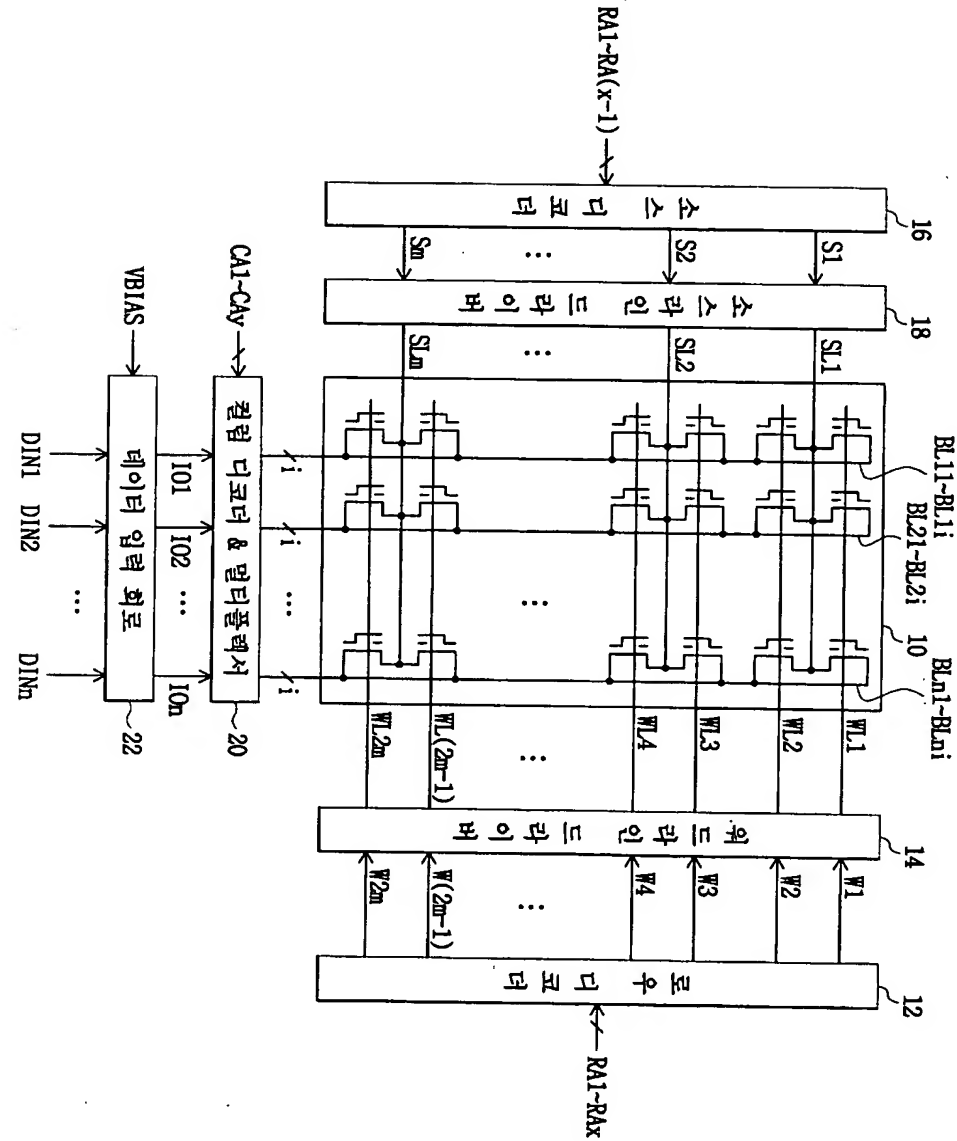
상기  $2m$ 개의 워드 라인들 각각에 연결된 게이트와 상기  $m$ 개의 소스 라인들 각각에 연결된 소스와 적어도 하나이상의 더미 비트 라인에 연결된 드레인을 가진 적어도  $2m$ 개의 트랜지스터들을 구성하고,

프로그램시에  $n$ 개의 입력 데이터에 응답하여 상기 메모리 셀 어레이의 선택된 소스 라인으로부터  $n-x$ ( $x$ 는 0부터  $n$ 까지의 정수)개의 선택된 비트 라인들로 바이어스 전류가 흐르도록 하고,

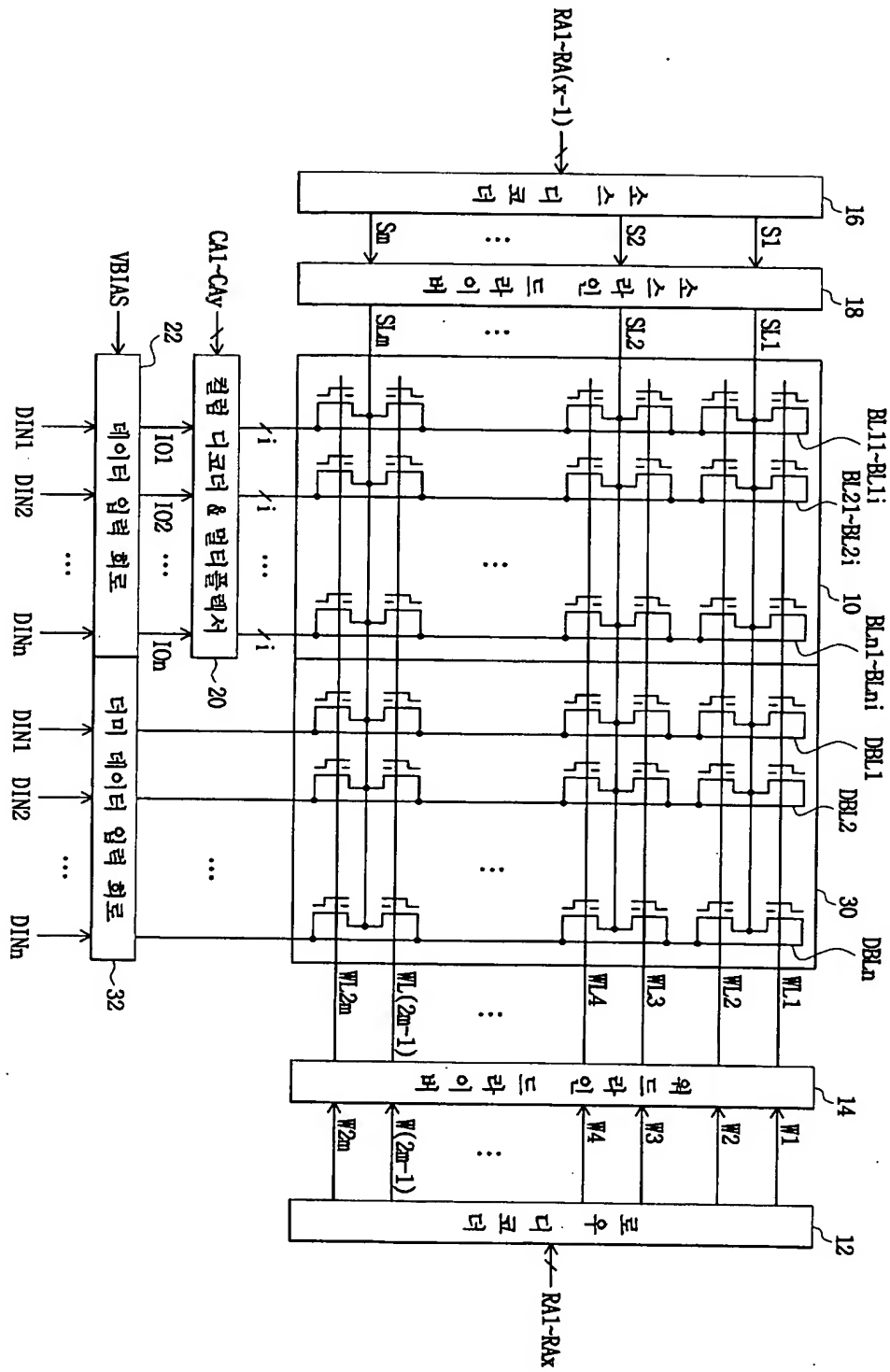
프로그램시에 상기  $n$ 개의 입력 데이터에 응답하여 상기 선택된 소스 라인으로부터 적어도 하나의 더미 비트 라인으로 흐르는 바이어스 전류가 상기 메모리 셀 어레이의  $x$ 개의 메모리 셀들이 프로그램될 때 상기 선택된 소스 라인으로부터 상기  $x$ 개의 선택된 비트 라인들로 흐르는 바이어스 전류와 동일하게 흐르도록 하는 것을 특징으로 하는 플래쉬 메모리 장치의 프로그램 방법.

【도면】

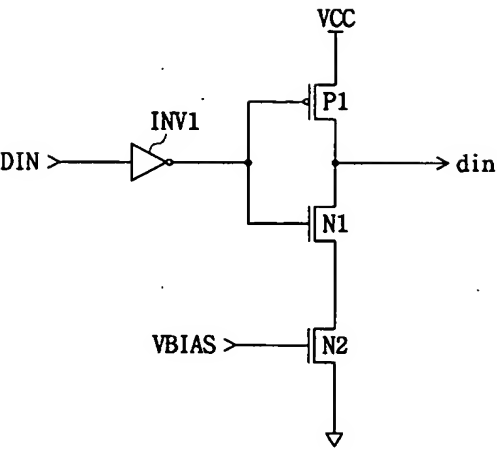
【도 1】



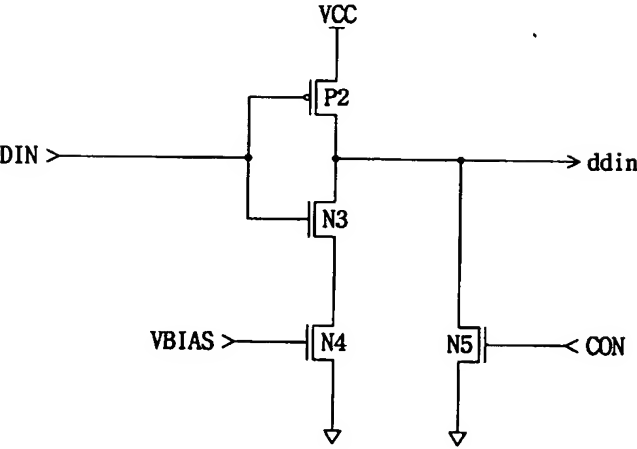
【도 2】



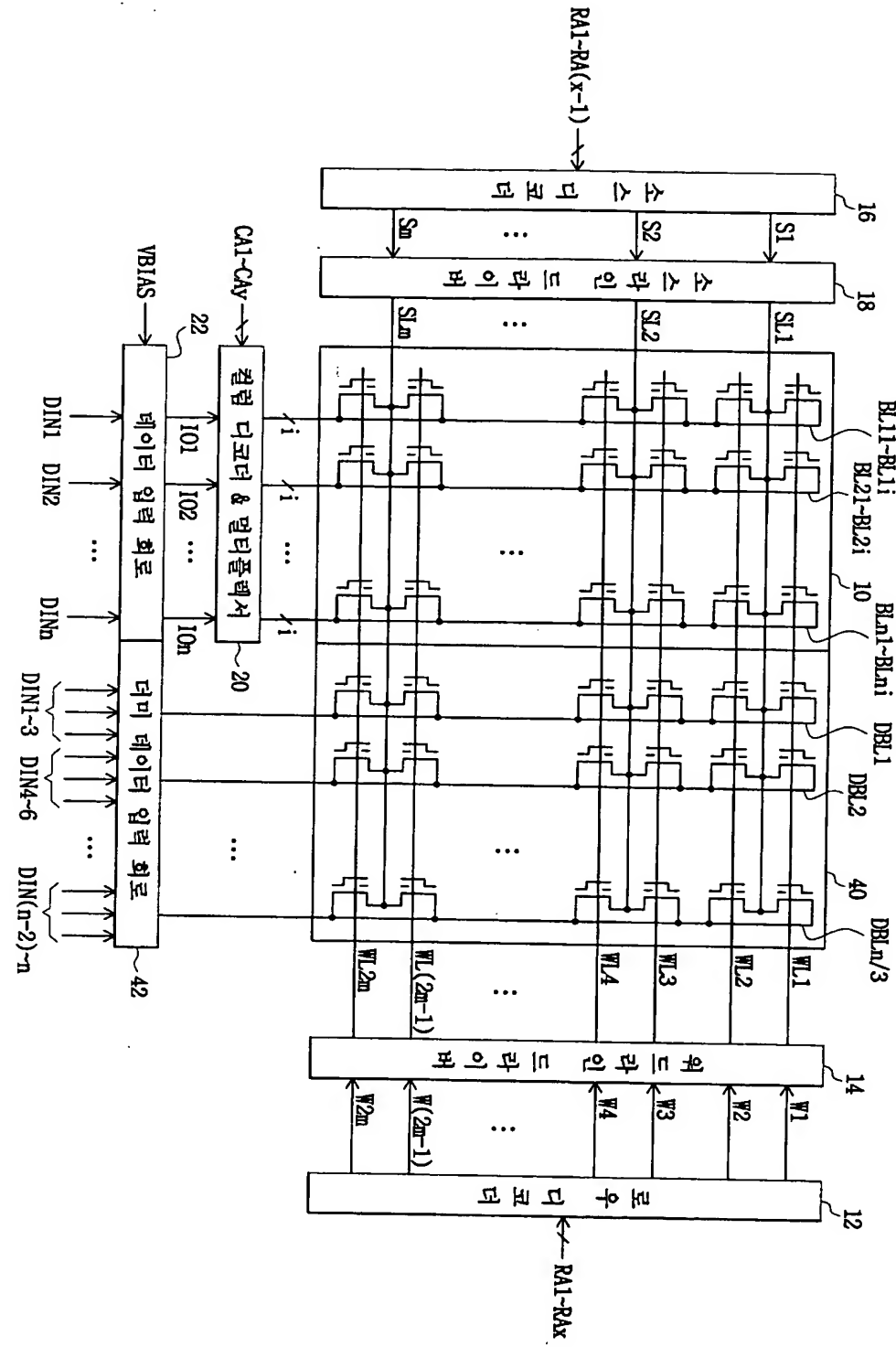
【도 3】



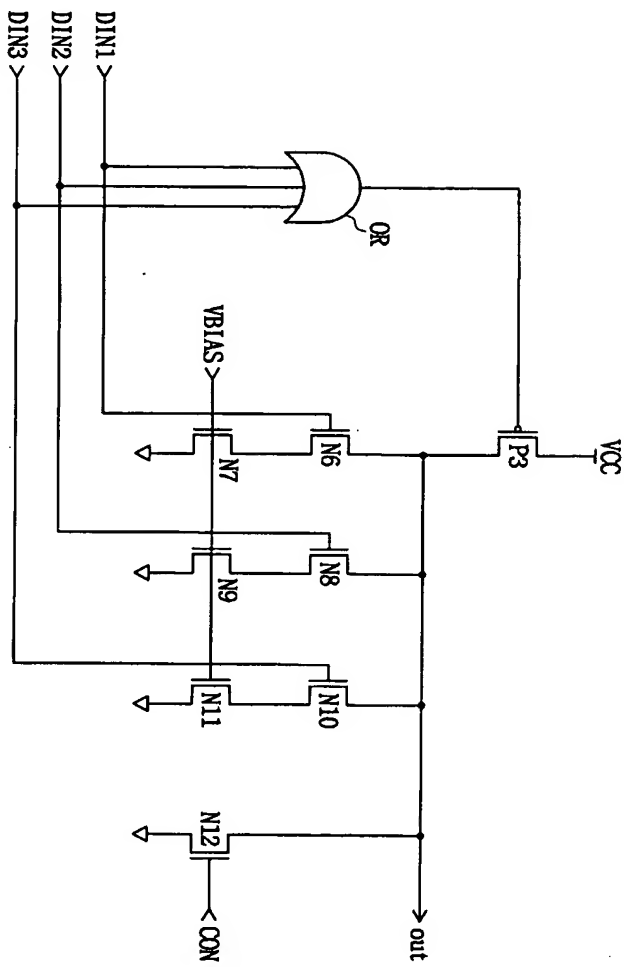
【도 4】



【도 5】

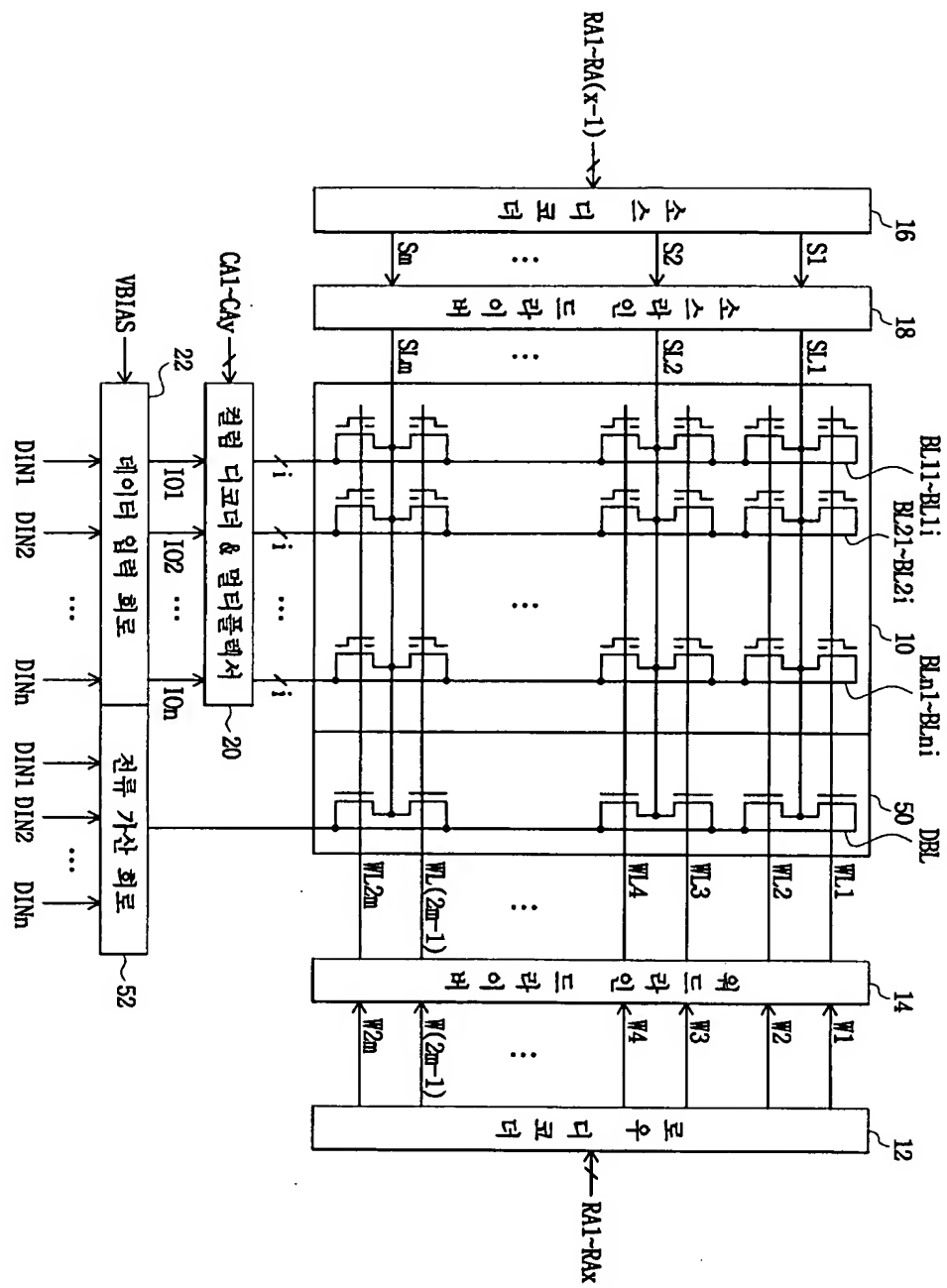


【도 6】





【도 7】



【부 8】

